**SIMULASI JEMBATAN ANGKAT**

**LAPORAN PROJECT RANGKAIAN LOGIKA 2**



Oleh:

M Irsyadul Fikri 2210141036

Dwi Prastyo 2210141047

Florensius Ghesa B 2210141055

**PROGRAM STUDI TEKNIK KOMPUTER**

**POLITEKNIK ELEKTRONIKA NEGERI SURABAYA**

**TAHUN 2015 / 2016**

# **KATA PENGANTAR**

Puji syukur penulis panjatkan kehadirat Tuhan Yang Maha Esa karena atas berkat dan rahmatnya penulis dapat menyelesaikan laporan ini dengan tepat pada waktunya. Laporan ini berisikan mengenai program simulasi jembatan angkat pada vhdl yang telah penulis ciptakan. Diharapkan tulisan ini bermanfaat untuk menambah informasi mengenai pemrograman vhdl.

Mengingat waktu yang begitu singkat yang diberikan, tentu saja laporan ini jauh dari sempurna. Oleh karena itu, penulis mengharapkan saran agar dapat menambah kekurangan dari laporan ini.

Surabaya, 12 Januari 2016

Penulis

# **BAB I**

# **PENDAHULUAN**

1. **LATAR BELAKANG**

VHDL adalah salah satu standar bahasa deskripsi perangkat keras yang digunakan untuk merancang suatu sistem.

Pada project ini dibuat simulasi jembatan angkat dengan menggunakan progam vhdl. Yaitu jembatan yang bisa dibuka/diangkat dan ditutup/diturunkan apabila terdapat kapal yang ingin melewati sungai yang ada di bawah jembatan.

1. **RUMUSAN MASALAH**

Masalah yang diambil untuk laporan ini adalah mengenai tentang apa saja yaitu :

1. Bagaimana cara kerja jembatan angkat ?
2. Bagaimana logika dan program jembatan angkat pada program bahasa vhdl ?
3. **TUJUAN**

Kegunaan dari laporan ini diaharapkan bisa digunakan untuk memahami dasar dari vhdl yang digunakan pada program untuk simulasi jembatgan diantara, yaitu :

1. Memahami cara kerja jembatan angkat lewat simulasi.
2. Memahami program vhdl untuk jembatan angkat.

# **BAB II**

# **PEMBAHASAN**

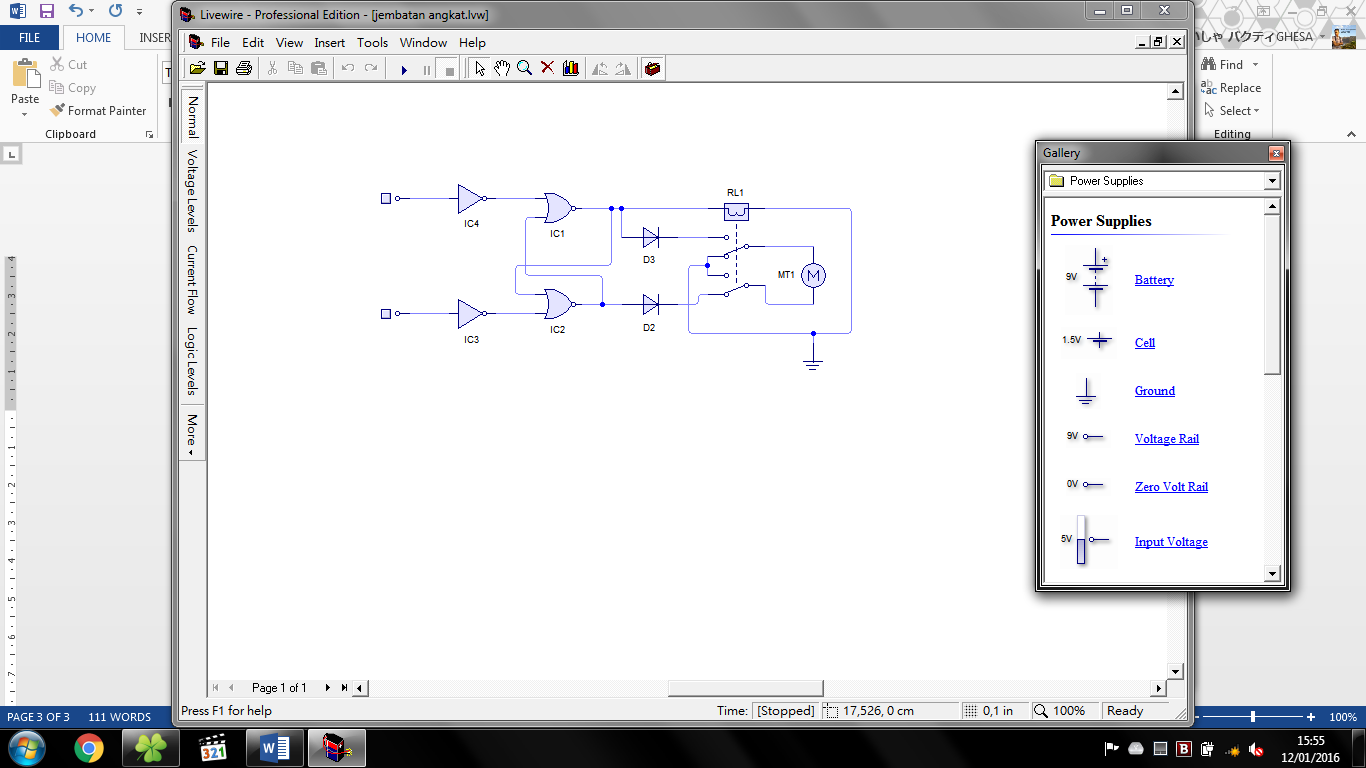
1. **VHDL**

Aplikasi Xillinx ISE adalah sebuah antarmuka untuk membuat kode sumber yang dapat didownloadkan pada SPARTAN 3. SPARTAN 3 adalah sebuah device yang dapat mesimulasikan rangkain logika yang telah decoding menggunakan apilikasi Xilinx. Dalam mensintesis sebuah rangkaian logika pada device didalamnya terdapat blok blok logika yang akan dirouting alur sambungan rangkaian logikanya.

Multipexer adalah rangkaian logika yang menerima beberapa input data digital dan menyeleksi salah satu dari input tersebut pada saat tertentu, untuk dikeluarkan pada sisi output**,** sebagai contoh mux 2 to 1 seperti pada gambar 1, jika s=0, maka y=a dan jika s=1, maka y =b.

Berikut adalah cara program dalam melakukan operasi bagaimana jembatan akan naik berhent maupun turun.

Pada dasarnya, logika jembatan berdasarkan dari pada rangkaian bolak-balik SR flip-flop.



SR flip-flop dalam penggunaanya menggunakan 2 gerbang NAND ataupun 2 gerbang XOR. Intinya, saat kapal melewati sensor pertama. Gerbang akan menyetor data sementara. Saat kapal telah melewati sensor tadi, maka gerbang akan berstatus set dan motor pun akan menyala untuk mengangkat jembatan. Kemudian saat kapal melalui sensor kedua. Gerbang akan menyetor data, lalu saat kapal telah melewati sensor. Gerbang akan berstatus reset dan menyalakan motor untuk menurunkan jembatan.

1. **PERALATAN:**

1. Modul Spartan 3

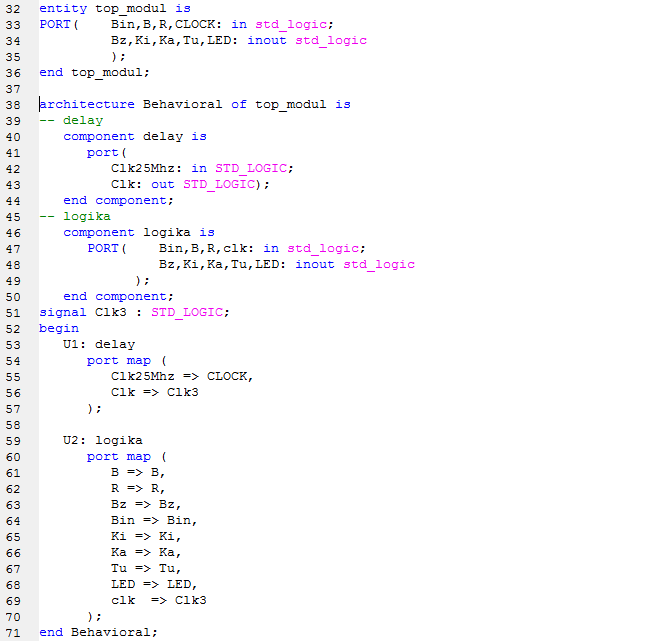
2. Software ISE Project Manager

3. Software iMPACT

4. Kabel power dan downloader

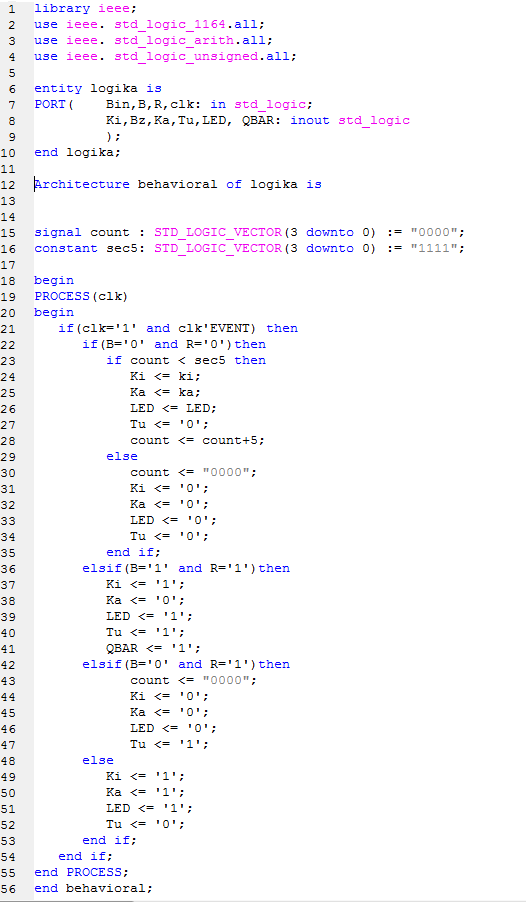
1. **BAHAN PERCOBAAN:**
2. Peraga / simulasi jembatan angkat
3. Motor DC 5,9 V
4. Vdc 5,9 V 2A
5. LM 293D
6. **PROGRAM**

Top\_modul.vhd

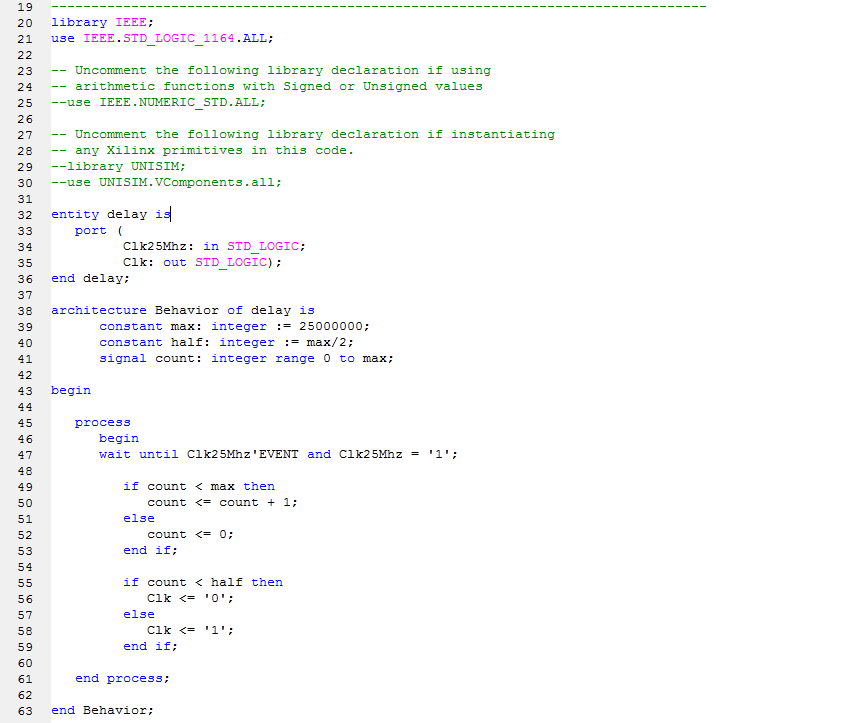


Top modul adalah modul terluar yang berfungsi sebagai penghandle seluruh input yang dibutuhkan dan seluruh output yang dibutuhkan. Seluruh variable terluar dideklarasikan didalam sini.

Dibutuhkan setidaknya variable-variable selain yang telah dideklarasikan pada file .ucf, variable ini akan bersumber dari sistem pada fpga spartan3. Salah satunya adalah clock. Clock akan bernilai konstan saat memasuki top modul.

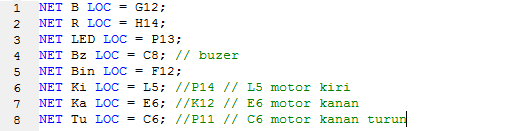
Logika.vhd

Delay.vhd



Delay akan berfungsi sebagai jeda waktu motor akan meyala selama beberapa detik saja. Saat motor menyala delay akan menunggu jembatan hingga naik seutuhnya kemudian mati setelah selesai. Begitu pula untuk jembatan saat turun.

test.ucf



File ucf berisikan alamat pada port yang dibutuhkan sebagai input maupun output.

# **BAB III**

**ANALISA DAN KESIMPULAN**

1. **ANALISA**

Dari program yang telah dibuat dapat dianalisa , cara kerja dari simulasi jembatan angkat ini adalah. Terdapat dua sensor masing di sisi kiri dan kanan jembatan. Jika sensor pertama aktif berarti ada kapal yang akan melewati jembatan, maka motor aktif untuk membuka / mengangkat jembatan. Terdapat delay jadi setelah terangkat , motor akan berhenti dan jembatan tetap posisi terangkat.

Truth Table:

|  |  |  |  |
| --- | --- | --- | --- |
| Set | Reset | Q | Q bar |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 |

Program akan menunggu sampai sensor kedua aktif yang berarti kapal telah melewati jembatan . Maka motor aktif untuk menurunkan jembatan.

Pada program, variable-variable ini masuk kedalam top modul. Data harus dideklarasikan terlebih dahulu dibawah line architecture, untuk mengatur variable mana yang akan disyncrone oleh variable pada modul lain.

Delay menggunakan penjumlahan yang diloop secara terus – menerus. Dalam menentukan kapan saat clock bernilai ‘0’ maupun ‘1’. Digunakan suatu variable integer sebesar 2500000. Saat jumlah loop bernilai setengahnya. Clock akan bernilai ‘0’. Kemudian saat melebihi nilai setengahnya, clock akan bernilai ‘1’

LM293D digunakan sebagai H bridge untuk motor. Saat salah satu data masuk, h bridge akan bertindak bergantung transistor yang di enable kannya

1. **KESIMPULAN**
2. Sensor digunakan untuk mendeteksi ada tidaknya kapal yang lewat
3. Lampu LED digunakan sebagai tanda warning untuk pengguna jalan
4. Logika jembatan menggunakan logia SR Flip - Flop
5. Jembatan akan mengangkat saat kapal telah melewati sensor SET
6. Jembatan akan turun setelah melewati sensor RESET
7. Dibutuhkan delay untuk mematikan motor saat jembatan telah sampai ke posisi tujuan
8. Dibutuhkan LM293D sebagai H bridge untuk mengatur arah motor berjalan

# **DAFTAR PUSTAKA**

[www.datasheet.com//LM293D](http://www.datasheet.com//LM293D)

[www.vhdlbynaresh.blogspot.com/sr-flip-flip](http://www.vhdlbynaresh.blogspot.com/sr-flip-flip)